

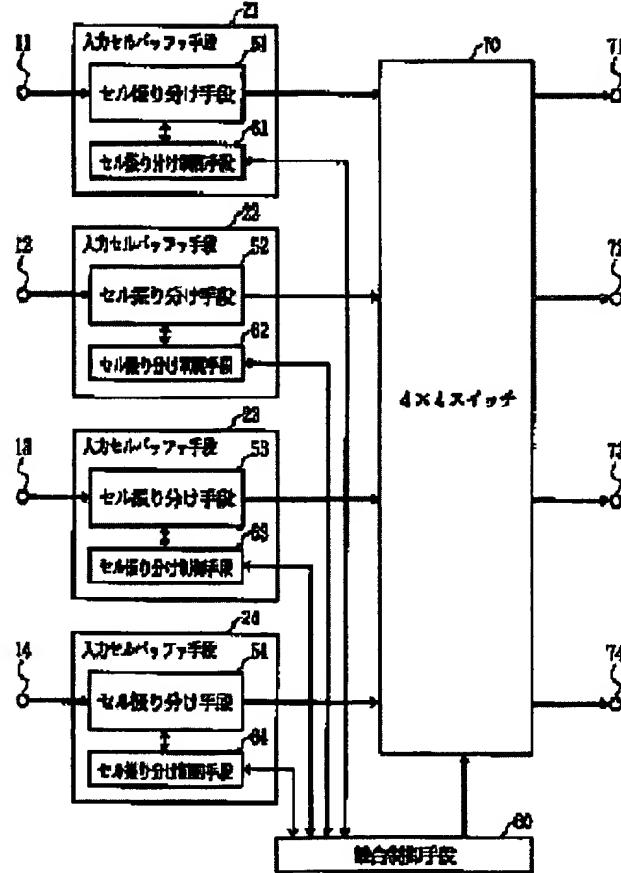
## CELL SWITCH

**Patent number:** JP10229404  
**Publication date:** 1998-08-25  
**Inventor:** SUZUKI HIROO; ISHIDA OSAMU  
**Applicant:** NIPPON TELEGRAPH & TELEPHONE  
**Classification:**  
 - **International:** H04L12/28; H04Q3/00  
 - **European:**  
**Application number:** JP19970030620 19970214  
**Priority number(s):** JP19970030620 19970214

[Report a data error here](#)

### Abstract of JP10229404

**PROBLEM TO BE SOLVED:** To continuously send plural cell, having the same destinations in units of blocks and to improve the throughput by applying the cell distribution control to an input cell buffer means to collect plural cells of the same destinations in units of blocks and to perform the read control of blocks, based on the conflict control result of every block. **SOLUTION:** A cell sent to an input port 11 is inputted to a cell distribution means 51i, and plural cells having the same destinations are produced in blocks with control of cell destinations. A conflict control means 60 decides the block to be sent next, based on the destination of blocks generated by the means 51i and also on the scheduling algorithm that has been previously decided. Based on the decided block, the route of a (4×4) switch 79 is switched. At the same time, a distribution control means 61i reads the corresponding blocks out of the means 51i and sends them to desired output ports 71 to 74.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-229404

(43)公開日 平成10年(1998)8月25日

(51)Int.Cl.<sup>6</sup>

H 04 L 12/28  
H 04 Q 3/00

識別記号

F I

H 04 L 11/20  
H 04 Q 3/00

H

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21)出願番号

特願平9-30620

(22)出願日

平成9年(1997)2月14日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 鈴木 裕生

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 石田 修

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74)代理人 弁理士 古谷 史旺

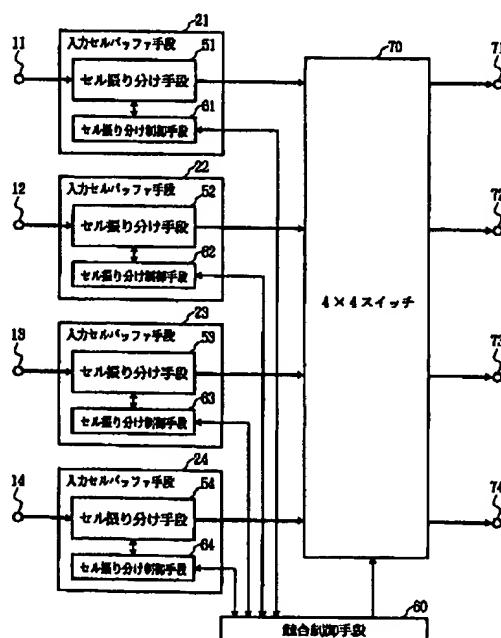
(54)【発明の名称】 セルスイッチ

(57)【要約】

【課題】 スケジューリングを行うのにかかる処理時間に関わらずスループットを高めることができ、さらに方路切替手段の切り替えのために必要なガードタイムの付与によるスループットの低下を低減できるセルスイッチを実現する。

【解決手段】 各入力セルバッファ手段において、同じ宛先をもつセルを複数個集めてブロック化するセル振り分け手段を有する。さらに、競合制御手段において、高スループットを得るためにスケジューリングを、セル単位ではなく、ブロック単位で行う。

本発明のセルスイッチの実施形態(4入力4出力)



## 【特許請求の範囲】

【請求項1】 複数L個の入力ポートに到達するセルをそれぞれ一時的に蓄積する複数L個の入力セルバッファ手段と、

前記各入力セルバッファ手段から読み出されたセルを複数N個の出力ポートのうち所定の出力ポートに送出する方路切替手段と、

前記各入力セルバッファ手段から同一の出力ポートに同時にセルが送出されないようにセルの送出順序を制御する競合制御手段とを備えたセルスイッチにおいて、

前記入力セルバッファ手段は、

同じ宛先をもつセルを複数m個集めてブロック化するセル振り分け手段と、

ブロック単位での競合制御の結果に基づき、前記セル振り分け手段からブロック化されたセルを連続して読み出す制御を行うセル振り分け制御手段とを備え、

前記競合制御手段は、

前記各入力セルバッファ手段から各ブロックの宛先を入力し、先頭のブロックから複数k'個のブロックの検索範囲で、ブロック単位の送出順序の入れ替えを認めるスケジューリングを行う構成であることを特徴とするセルスイッチ。

【請求項2】 ブロック単位の送出順序の入れ替えに必要な宛先検索に用いるブロック数k'は、出力ポート数Nに等しい値であることを特徴とする請求項1に記載のセルスイッチ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、各入力ポート側にセルバッファを有する入力バッファ型のセルスイッチに関する。

## 【0002】

【従来の技術】 入力バッファ型セルスイッチでは、異なる入力ポートのセルが同時に同じ出力ポートに出力されて生じる衝突を回避するための競合制御が行われる。図15は、L入力N出力の入力バッファ型セルスイッチの基本構成を示す。ここで、L、Nは2以上の整数である。

【0003】 図において、11～1Lは入力ポート、21～2Lは入力セルバッファ手段、50はL×Nスイッチ、60は競合制御手段、71～7Lは出力ポートである。各入力セルバッファ手段21（1は1～Lの整数）は、入力ポート11から到着するセルを蓄積するセルバッファ31と、そこからのセルの読み出しを制御するセルバッファ制御手段41とにより構成される。

【0004】 入力ポート11に伝搬してきたセルは、入力セルバッファ手段21内のセルバッファ31に蓄積される。競合制御手段60は、セルバッファ31～3Lに蓄積されているセルの宛先から、あらかじめ定められたアルゴリズムに基づき、同じ出力ポートへ同時にセル

が送出されないように競合制御を行い、セルバッファ31～3Lからそれぞれ送出するセルを決定する。その結果に基づいて、L×Nスイッチ50の方路を切り替え、かつセルバッファ制御手段41～4Lによりセルバッファ31～3Lからそれぞれ対応するセルを読み出してL×Nスイッチ50に送出する。これにより、所望のセルを任意の入力ポートから所定の出力ポートに送り出すことができる。

【0005】 入力バッファ型セルスイッチでは、競合制御のアルゴリズムによりスループットが変化するという特徴をもつ。たとえば、セルバッファ31～3Lに蓄積された先頭のセルのうち、たまたま同じ宛先のセルが複数個ある場合には、その中でどれかひとつを無作為に選び、残りのセルは次の競合まで待つという単純なアルゴリズムを用いると、スループットが58%に制限されることが文献1 (Karol et al., "Input versus Output Queuing on a Space-Division Packet Switch", IEEE Trans. on Commun., vol.COM-35, Dec., 1987, pp.1347-1356) に報告されている。すなわち、セルバッファ31へのセル到着順にセルを方路切替手段に送出するような単純なアルゴリズムでは、競合制御の結果送出できないセルおよびその2番目以降に蓄積されたセルは次の競合までセルバッファ内に待たせるので、スループットの低下が生じる。したがって、58%以上の高スループットを得るためにには、文献2 (Matsunaga et al., "A 1.5Gb/s 8×8 Cross-Connect Switch Using a Time Reservation Algorithm", IEEE J. Select. Areas Commun., vol.9, no.8, Oct., 1991, pp.1308-1317)、または文献3 (Akata et al., "An Input Buffering ATM Switch Using a Time-Slot Scheduling Engine", NEC Res. & Develop., vol.33, no.1, Jan., 1992, pp.64-72) にあるように、セルの送出順序を入れ替えるスケジューリングアルゴリズムを使用する必要がある。

【0006】 図16は、スケジューリングの概念を示す。この方法は、各セルバッファ31に蓄積された複数個のセルの宛先について、先頭のセルからk番目（kは2以上の整数）のセルまでの範囲で検索し、異なる入力ポートから同じ出力ポートにセルを同時に送出しないように、各セルバッファ31内でセルの送出順序を入れ替えることでスループットを高めるものである。このようなスケジューリングアルゴリズムを用いると、90%以上のスループットを達成できることが前記の文献2、3で報告されている。このときの達成可能なスループットは、スケジューリングアルゴリズムとkの値で決まるので、高スループットを得るには、複雑なスケジューリングアルゴリズムを用い、さらにその検索範囲（kの値）を大きくとる必要がある。

## 【0007】

【発明が解決しようとする課題】 ところで、スケジューリングを行うには、セルの宛先を順次検索しなければな

らず、単純なアルゴリズムを用いた場合に比べて必要な処理時間は長くなる。特に、高スループットを得るために検索範囲（ $k$ の値）を大きくとった場合に、それに伴う処理時間の増大が避けられなかった。例えば、1セル周期分のスケジューリングを行うのにかかる処理時間が1セル送出時間より長くなると、処理が終了するまでは次にどのセルを送出するか決定できないので、図17に示すようにスループットが低下することになる。したがって、高スループットを得るには、1セル送出時間内に1セル周期分の処理を終えることが必要不可欠であり、高いセルレート（1セル送出時間の短縮）にも対応するには、処理時間の低減が課題となる。そのためには、検索範囲（ $k$ の値）を低減できることが望ましい。また、根本的な解決のためには、1セル送出時間より1セル周期分のスケジューリングを行うのにかかる処理時間が長いときでも、スループットが低下しない競合制御方式を備えたセルスイッチを実現する必要がある。

【0008】さらに、方路切替手段として光スイッチを用いる場合には、高速切替可能な光スイッチでも現状では切替時間が数ナノ秒程度以上かかるものが多いので、セルレートが高いほどスループットが低下するという問題もある。なぜなら、例えばポートあたりのセルレートが100Mセル/s程度（ATMセルを仮定すると、1セル送出時間=約10ns）に対して、光スイッチの切替時間に10nsかかれば、図18のようにスループットは約半分に低下するからである。また、光スイッチの切替時間だけでなく、光スイッチを切り替えるための同期確立時間も無視できないことから、光スイッチを用いる場合には、このようなガードタイム（光スイッチの切替時間+同期確立時間）の付与によるスループットの低下を抑えることが第2の課題である。

【0009】本発明は、スケジューリングを行うのにかかる処理時間に関わらずスループットを高めることができ、さらに方路切替手段の切り替えのために必要なガードタイムの付与によるスループットの低下を低減できるセルスイッチを提供することを目的とする。

#### 【0010】

【課題を解決するための手段】本発明のセルスイッチは、各入力セルバッファ手段において、同じ宛先をもつセルを複数個集めてブロック化するセル振り分け手段を有することを第1の特徴とする。そして競合制御手段において、高スループットを得るためのスケジューリングを、セル単位ではなく、ブロック単位で行うことを第2の特徴とする。これにより、スケジューリングにかかる処理時間の制限を緩和できる。

【0011】すなわち、図2に示すように、1セル送出時間<処理時間となる場合には、1ブロック送出時間≥処理時間となるようなブロックの長さ $m$ （ $m$ は2以上の整数、図2では $m=3$ ）を選択すれば、高いセルレート（1セル送出時間の短縮）にもスループットを低下させ

ることなく、スケジューリングを行うことが可能となる。

【0012】また、光スイッチを用いる場合には、光スイッチの切り替えのためにガードタイムを付与しなければならないので、光スイッチの切替頻度を減らす必要がある。ブロックの長さ $m$ を増加させれば、図3に示すように光スイッチの切替頻度をセル単位からブロック単位（ $m$ セル送出時間に相当）に減らせるので、ガードタイムに起因するスループットの低下を抑えることができる。図3ではガードタイム=1セル、 $m=5$ の場合を示す。

【0013】さらに、本発明のセルスイッチは、ブロック化とスケジューリングを巧妙に組み合わせることで、前記のような利点だけでなく、ブロックの送出順序入替に必要な検索範囲の低減も可能になる。これはスケジューリングにかかる処理時間を短縮する効果をもたらす。

#### 【0014】

【発明の実施の形態】図1は、本発明のセルスイッチの実施形態を示す。ここでは、4入力4出力のセルスイッチについて示す。図において、11～14は入力ポート、21～24は入力セルバッファ手段、70は4×4スイッチ、60は競合制御手段、71～74は出力ポートである。入力セルバッファ手段 $2i$ （ $i=1, 2, 3, 4$ ）は、セル振り分け手段 $5i$ とセル振り分け制御手段 $6i$ により構成される。

【0015】入力ポート11に伝搬されてきたセルは、セル振り分け手段 $5i$ に入力される。セル振り分け手段 $5i$ では、セルの宛先を判別し、同じ宛先をもつセルごとにセルを複数個集めたブロックを生成する。一方、競合制御手段60は、セル振り分け手段 $5i$ 内に生成されるブロックの宛先をもとに、あらかじめ定められたスケジューリングアルゴリズムに基づき、次に送出するブロックを決定する。その結果に基づいて、4×4スイッチ70の方路を切り替え、かつセル振り分け制御手段6iはセル振り分け手段 $5i$ 内からそれぞれ対応するブロックを読み出すことで、所望の出力ポート71～74へブロックが送出される。

【0016】図4は、セル振り分け手段 $5i$ の第1の構成例を示す。図において、8iはセルの宛先判別手段、9iはセルバッファ、10iはメモリコントローラである。各部の動作について簡単に説明する。宛先判別手段8iは、入力ポート11に伝搬されてきたセルの宛先を判別し、その結果をメモリコントローラ10iに送る。メモリコントローラ10iは、その宛先から同じ宛先をもつセルを複数個集めたブロックを生成するために、セルバッファ9iのどのアドレスにセルを書き込むかを決定し、そのアドレス管理を行う。これらの操作を入力ポート11に伝搬されてきたセルについて順次行う。

【0017】メモリコントローラ10iによるブロックの生成方法について詳細に説明する。1ブロックが、最

大で  $m$  個（ここでは  $m = 4$ ）の同じ宛先のセルを格納可能なときには、図 5 に示すようにセルバッファ 9 i が、先頭から  $m$  番目、 $(m+1)$  番目から  $2m$  番目、 $(2m+1)$  番目から  $3m$  番目、…というように、 $m$  セル分ずつ同じ宛先のセルを格納できるように、メモリコントローラ 10 i がそのアドレスを管理する。したがって、メモリコントローラ 10 i が、宛先判別手段 8 i からセルの宛先の情報を得たときには、まずそれと同じ宛先のブロックがセルバッファ 9 i 内にすでに生成されているかどうかを判断する。そして、そのブロックが生成されていないか、あるいは生成されていたとしてもすでに  $m$  セル分同じ宛先のセルが格納されている場合には、 $(p \cdot m + 1)$  番目にセルを書き込んで新しいブロックを生成する（ $p$  は 0 以上の整数）。

【0018】なお、 $p$  はまだセルが書き込まれていないアドレスのうち、最小となるものを選ぶ。すなわち、セルバッファ 9 i の先頭から順次ブロックを生成する。また、メモリコントローラ 10 i がセルの宛先の情報を得たときに、それと同じ宛先のブロックがセルバッファ 9 i に生成されており、かつそのブロック内に空きがある場合には、その空きの先頭にセルを書き込む。したがって、この場合には新たなブロックは生成されない。

【0019】以上のブロック生成方法を具体例で示すと図 6 のようになる。図 6 は、 $m = 4$  のときの例であり、(a) の状態にあるセルバッファ 9 i の (b) ~ (d) のケースにおける動作例を示す。

(b) 到着したセルと同じ宛先 “2” のブロックが生成されていないので、新しいブロックを生成する。

【0020】(c) 到着したセルと同じ宛先 “4” のブロックが生成されていても空きがないので、新しいブロックを生成する。

(d) 到着したセルと同じ宛先 “3” のブロックが生成されていて、かつ空きがあるので、そのブロックの空きにセルを書き込む。

このように、(b) または (c) の場合には新たにブロックが生成される。セルバッファの最後までブロックが生成されたときは、再び先頭からセルを書き込んで新たにブロックを生成すればよい。ただし、セルを書き込みたいアドレスに、まだ送出していないブロックがある場合には、その新しく到着するセルを廃棄する。なお、図 6 (a) 中の宛先 “1” のブロックのように、少なくともセルをひとつ含んでいればそれ以上が空きでも 1 ブロックとしてみなす。

【0021】次に、生成されたブロックの競合制御方法の概念について図 7 を参照して説明する。メモリコントローラ 10 i は、セルバッファ 9 i で生成されたブロックの宛先を、先頭のブロックから  $k'$  個分（ $k'$  は 2 以上の整数）まとめて  $(k' \times m)$  セル送出セル時間周期で競合制御手段 6 0 に送る。セルバッファ 9 i に  $k'$  個未満のブロックしか生成されていない場合は、そのすべて

の宛先を送出する。競合制御手段 6 0 では送られてきた複数個のブロックの宛先をもとに、異なるセル振り分け手段から同じ宛先のブロックを同時に送出せず、かつ高スループットが得られるようにブロックの送出順序入替を行う。この送出順序入替の方法は、後述するスケジューリングアルゴリズムによって決まる。本実施形態では、 $(k' \times m)$  セル送出セル時間分の送出順序入替の結果がメモリコントローラ 10 i に送られると、メモリコントローラ 10 i は、セルバッファ 9 i の対応するアドレスからブロック化されたセルを連続して読み出す。

【0022】次に、スケジューリングアルゴリズムについて詳細に説明する。ここでは、ブロックの送出可能な一番早い時刻を予約するアルゴリズムを用いる場合について図 8 を参照して説明する。メモリコントローラ 10 i から競合制御手段 6 0 に送られてきたブロックの宛先は、図 8 (a) の通りとする ( $k' = 4$  の場合)。例えば、セルバッファ 9 1 には、宛先 “1”， “3”， “2”， “4” のブロックが順に形成されているとする。セルバッファ 9 4 のブロックの宛先が 2 つしかないのは、セルバッファ 9 4 には 2 つのブロックしか生成されていないことを意味する。

【0023】いま、セルバッファ 9 1 ~ 9 4 間での競合における優先順位を高い順に 9 1 → 9 2 → 9 3 → 9 4 とする。まず、セルバッファ 9 1 ~ 9 4 の先頭にあるブロックについて、優先順位が高いセルバッファで生成されているブロックから送出する時刻を予約する。ブロックを送出可能な一番早い時刻を予約していき、最終的には  $(k' \cdot m)$  セル送出時間分（最大  $m$  セルからなるブロック  $k'$  個分）の時刻予約表を作成する。ここで、セルバッファ 9 i からブロックを送出可能な条件とは、時刻予約表においてブロックを送出したい時刻が空いていて、かつ同時刻に同じ宛先のブロックがセルバッファ 9 j ( $j = 1, 2, 3, 4, i \neq j$ ) から送出されないことである。したがって、このスケジューリングアルゴリズムによりセルバッファ 9 1 ~ 9 4 の先頭にあるブロックの時刻予約を行うと、時刻予約表は図 8 (b) のようになる。セルバッファ 9 1 とセルバッファ 9 4 でブロックの宛先 “1” が重なるので、優先順位のより高いセルバッファ 9 1 のブロックが優先され、セルバッファ 9 4 の宛先 “1” のブロックは時刻が繰り下げる。

【0024】次に 2 列目の時刻予約を行うと、図 8 (c) のようになる。セルバッファ 9 2 の宛先 “1” のブロックは、同時刻にセルバッファ 9 4 から同じ宛先のブロックが送出されることになっているので、時刻が繰り下げる。また、セルバッファ 9 4 の宛先 “3” のブロックは一番最初の時刻で送出可能なので、送出順序が入れ替わる。以下同様に 3 列目、4 列目の時刻予約を行うと、結果的に図 8 (d) のような時刻予約表ができる。この時刻予約表に従い、セルバッファ 9 1 ~ 9 4 からブロックを送出する。空きのところはブロックを送出しない

で待つことになる。ブロック内で空きがあるときも空きセル分の時間待たなければならない。

【0025】なお、図8(d)中のセルバッファ92の宛先“4”的ブロックのように( $k' \cdot m$ )セル送出時間内に送出できないブロックについては、次のスケジューリングのときに、このブロックの宛先を含めた新たな4つのブロックの宛先により再度同様のスケジューリングを行う。そのとき、優先順位は92→93→94→91というようにサイクリックに変える。これは、セルバッファ91～94間の競合における公平性を保つためである。前述した時刻予約表に従い、ブロックの送出を開始すると同時に次のスケジューリングを始める。

【0026】このようにブロック化とスケジューリングを組み合わせることにより、①スループットの向上、②セル単位に検索する場合に比べて検索範囲( $k'$ の値)の低減、③スケジューリングにかかる処理時間の制限緩和という3つの利点がある。さらに光スイッチを用いる場合には、ガードタイムの付与によるスループット低下を抑える効果もある。

【0027】これらの効果をシミュレーションにより定量的に評価した結果を示す。シミュレーション時間は $10^6$ セル時間とし、トラヒックはランダムパターンとした。図9は、 $L$ (入力ポート数) =  $N$ (出力ポート数) = 16、ブロックの長さ $m$  = 8、 $k'$  = 8, 16, 24のときのスループットと、セルバッファでのブロック(またはセル)の平均待ち時間との関係を示す。この図でそれぞれの場合にスループットを上げていくと平均待ち時間が急激に上昇する。その時のスループットがそれぞれの条件におけるスループットの上限値となる。セル単位でかつスケジューリングを行わないとスループットは58%に制限されるのに対し、ブロック単位でスケジューリングを行うと、 $k' = 16$ で90%程度のスループットを達成することが可能となる。図9中の $k' = 24$ のときのように、 $k'$ を大きくするに従って高スループットが得られることがわかる。

【0028】また、ブロック化することにより、トラヒックのランダム性が失われ、ブロックの生成パターンに周期性が生じることがわかった。図10に同じ宛先をもつブロック(またはセル)間の間隔について分布を調べた結果を示す。横軸は、同じ宛先をもつブロック(またはセル)が何ブロック分(何セル分)離れているかを表し、縦軸はそれが全体に占める割合を表す。

【0029】これにより、同じ宛先をもつブロックが出力ポート数 $N$ に等しい間隔で生成されやすい傾向にあることが明らかになった。シミュレーションの結果は $m = 8$ 、 $L = N = 8, 16, 32$ の場合を示す。比較のために、ブロック化しない場合(セル単位の場合)の結果についても点線で示した。図10に示すように、ブロック化した場合は、 $N$ ブロック周期で同じ宛先のブロックが存在する割合が非常に高くなることがわかる。このようなブ

ロックの生成パターンの周期性を利用すると、ブロック化しない場合に比べて、同じスループットを達成するための検索範囲( $k'$ の値)を低減でき、 $k' = N$ とすればよい。

【0030】そこで $L = N = 4, 8$ の場合について、 $k' = N$ とし、達成可能なスループットとセルバッファでのブロック(またはセル)の平均待ち時間との関係を調べた結果を図11に示す。実線はブロック単位(ブロックの長さ $m = 8$ )でスケジューリングを行った場合、点線はセル単位でスケジューリングを行った場合の結果である。これによりブロック化したときには、検索範囲( $k'$ の値)は、出力ポート数 $N$ に等しくとれば85%以上の高スループットが得られ、セル単位でスケジューリングを行う場合に比べて少ない検索範囲ですむことがわかる。このような検索範囲の低減により、スケジューリングにかかる処理時間の短縮が期待できる。また処理時間の短縮ができれば、ある一定時間内でより複雑な処理が可能となるため、さらにスループットの向上を図ることができる可能性がある。

【0031】また、光スイッチを用いる場合には、ガードタイム(光スイッチの切替時間+同期確立時間)の影響を加味する必要がある。ガードタイム = 1セル送出時間と仮定し、ブロックの長さ $m$ を変化させたときの最大スループットを求めた結果を図12に示す( $L = N = 16, k' = 16$ )。ここで、最大スループットとは $10^6$ セル時間においてセルの廃棄が起こらない最大スループットを表す。ブロックの長さ $m$ を大きくすればするほど、ガードタイムの付与による影響を低減できることがわかる。

【0032】以上説明した実施形態では、4入力4出力のセルスイッチについて説明したが、同様に一般的な $L$ 入力 $N$ 出力のセルスイッチを構成することができる( $L, N$ は2以上の整数)。図13は、本発明による $L$ 入力 $N$ 出力セルスイッチの構成例を示す。図1に示す構成と同一機能を有するものは同一符号を付す。また、 $L \times N$ スイッチ50は電気スイッチまたは光スイッチのいずれの構成でもよい。

【0033】また、本発明の特徴であるセル振り分け手段51の構成は、同じ宛先のセルを到着順に集め、連続して送出できればどのような構成でもよい。図14は、セル振り分け手段51の第2の構成例を示す。図において、81は宛先判別手段、201は $1 \times N$ スイッチ、91～91Nはセルバッファ、301は $N \times 1$ スイッチ、401は $1 \times N$ スイッチ201および $N \times 1$ スイッチ301とセルバッファ91～91Nを制御してブロックを生成・送出する制御手段である。

【0034】入力ポート11に伝搬してきたセルの宛先を宛先判別手段81で判別し、結果を制御手段401に送る。制御手段401は、その結果をもとに $1 \times N$ スイッチ201を切り替えることで同じ宛先をもつセルご

とにまとめる。すなわち、各セルバッファ911には同じ宛先のセルのみが蓄積され、ブロックが生成される。国外の競合制御手段60は、セルバッファ911～91Nで生成されたブロックの宛先をもとに競合制御を行い、その結果に基づいて制御手段401がN×1スイッチ301を切り替え、対応するブロックをセルバッファ911～91Nのいずれかから読み出してブロックを送出する仕組みになっている。

【0035】また、上記の実施形態では、ブロックの競合制御方法として、複数個( $k'$ 個)のブロックの宛先を一括して競合制御手段60に、( $k' \cdot m$ )セル送出時間周期で送る方法について説明したが、その他の方法をとってもよい。例えば、 $m$ セル送出時間周期で送ってもよいし、新しいブロックが生成されるごとに、宛先を競合制御手段60に送るような方法でもよい。ただし、宛先を送って競合結果をもらう回数が一括してやりとりする場合より増えることになるので、そのやりとりの時間が無視できないような場合には、上記の実施形態で採用した一括して送る競合制御方法の方が有利である。

【0036】また、スケジューリングアルゴリズムも送出順序を入れ替えられる方法であればどのようなアルゴリズムでもよく、その検索範囲( $k'$ の値)も任意の値でよい。さらに、上記の実施形態では、 $k'$ 個のブロック( $m$ 個のセル)で送出順序を入れ替えた場合に、スケジューリングの時間予約表を( $k' \cdot m$ )セル送出時間分としたが、それ以上の時刻まで予約可能としてもよい。

#### 【0037】

【発明の効果】以上説明したように、本発明のセルスイッチは、入力セルバッファ手段に、同じ宛先をもつセルを複数個集めてブロック化するセル振り分け手段と、ブロック単位での競合制御の結果に基づきブロックの読み出しを制御するセル振り分け制御手段とを備えることにより、ブロック単位で、すなわち同じ宛先のセルを複数個連続して送出することができる。

【0038】これにより、スケジューリングをセル単位からブロック単位に行えばよいので、処理時間の制限を1セル送出時間内から1ブロック送出時間( $m$ セル送出時間)内へと緩和できる。 $m$ は2以上の整数値をとれるので、高いセルレート(1セル送出時間の短縮)にも対応可能であり、スケジューリングによる高スループットを達成することが可能となる。また、ブロック化することで、送出順序入れ替えに必要な検索範囲の低減を図ることができるので、スケジューリングにかかる処理時間そのものを短縮することができる効果もある。

【0039】さらに、方路切替手段として光スイッチを用いる場合には、セルレートが上がると無視できなくなるガードタイム(光スイッチの切替時間+同期確立時間)の付与によるスループットの低下を抑えることができる効果も得られる。ブロックの長さ $m$ が大きいほどそ

の効果も大きい。もちろんこの場合にも、高スループットを達成するスケジューリングを行うことができる。

【0040】したがって、方路切替手段やスケジューリングにかかる処理時間に無関係で、かつセルレートが上がっても高スループットを達成できるセルスイッチを実現することができる。

#### 【図面の簡単な説明】

【図1】本発明のセルスイッチの実施形態を示す図。

【図2】ブロック化による処理時間の制限緩和を説明する図。

【図3】ブロック化による光スイッチの切替頻度低減を説明する図。

【図4】セル振り分け手段の第1の構成例を示す図。

【図5】メモリコントローラの役割を説明する図。

【図6】ブロック生成方法を具体例に説明する図。

【図7】ブロックの競合制御方法の概念を説明する図。

【図8】スケジューリングによる時刻予約表の作成方法を説明する図。

【図9】スケジューリングによるスループット向上を説明する図。

【図10】セルおよびブロックの生成パターンを説明する図。

【図11】ブロック化による検索範囲の低減を説明する図。

【図12】ブロック化によるガードタイムの影響低減を説明する図。

【図13】本発明によるL入力N出力セルスイッチの構成例を示す図。

【図14】セル振り分け手段の第2の構成例を示す図。

【図15】L入力N出力の入力バッファ型セルスイッチの基本構成を示す図。

【図16】スケジューリングの概念を説明する図。

【図17】処理時間>1セル送出時間のときのスループット低下を説明する図。

【図18】ガードタイム(光スイッチ切替時間等)の付与によるスループット低下を説明する図。

#### 【符号の説明】

11～14, 1i, 1L 入力ポート

20i 1×Nスイッチ

21～24, 2i, 2L 入力セルバッファ手段

30i N×1スイッチ

31～3L セルバッファ

40i 制御手段

41～4L セルバッファ制御手段

50 L×Nスイッチ

51～54, 5i, 5L セル振り分け手段

60 競合制御手段

61～64, 6i, 6L セル振り分け制御手段

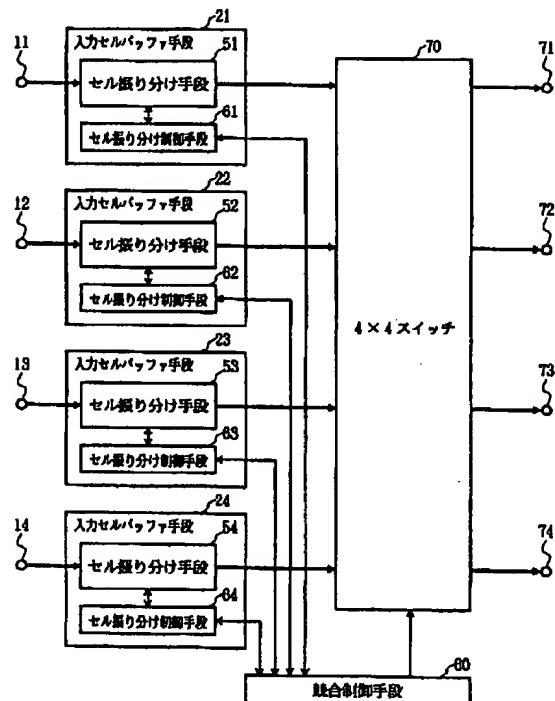
70 4×4スイッチ

71～74, 7i, 7N 出力ポート

81～84, 81 宛先判別手段  
91～94, 911～91N セルバッファ

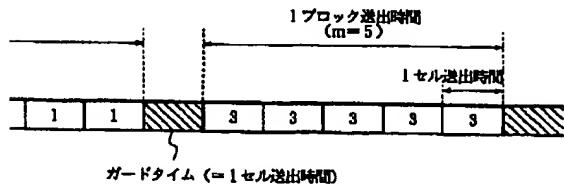
【図1】

本発明のセルスイッチの実施形態（4入力4出力）



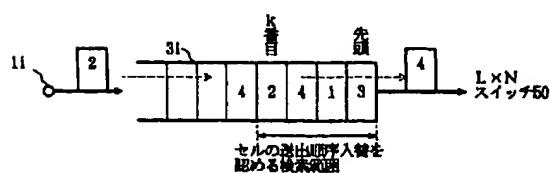
【図3】

ブロック化による光スイッチの切替頻度低減



【図16】

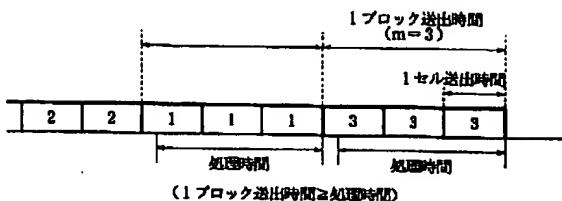
スケジューリングの概念



101～104 メモリコントローラ

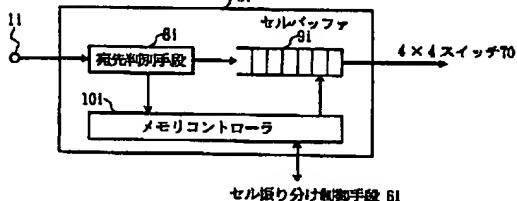
【図2】

ブロック化による処理時間の制限緩和



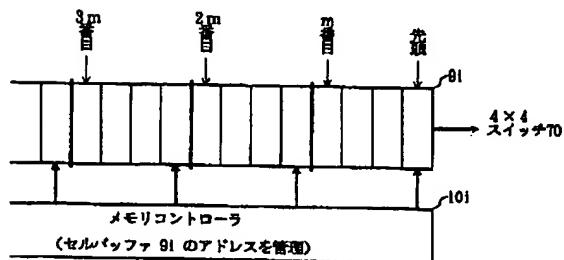
【図4】

セル振り分け手段 51 の第1の構成例



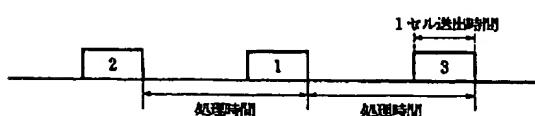
【図5】

メモリコントローラ 101 の役割

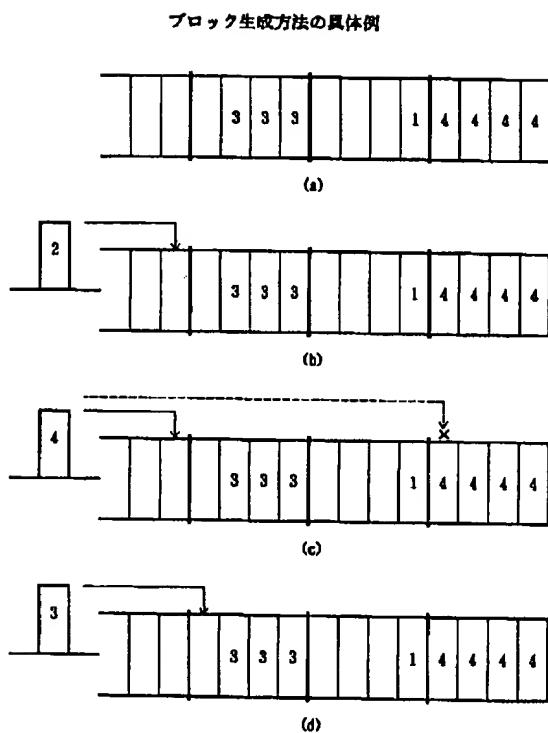


【図17】

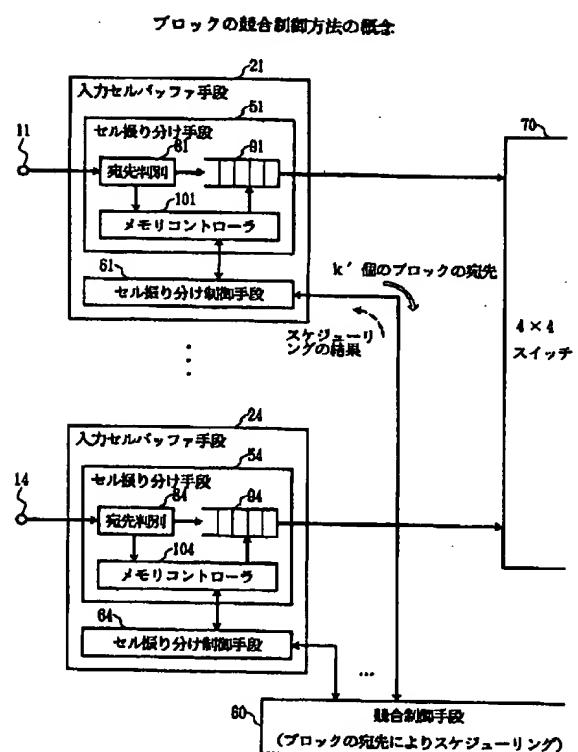
処理時間 &gt; 1 セル送出時間のときのスループット低下



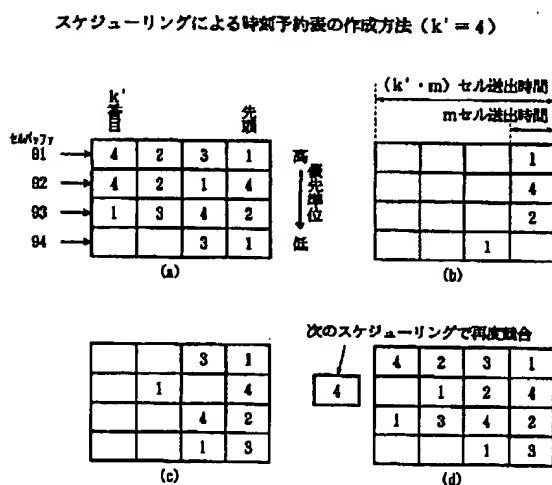
【図6】



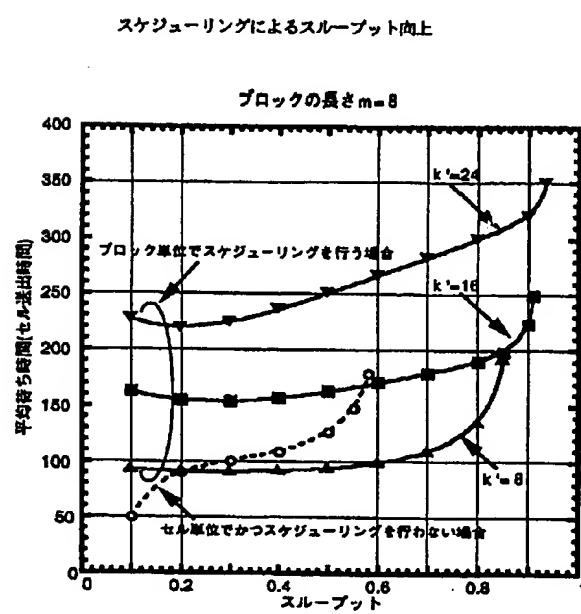
【図7】



【図8】

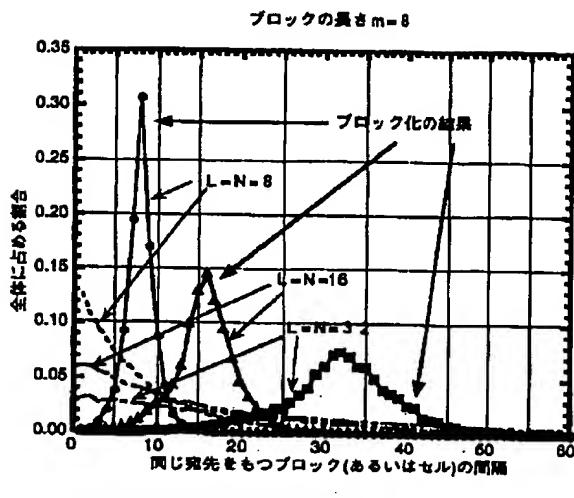


【図9】



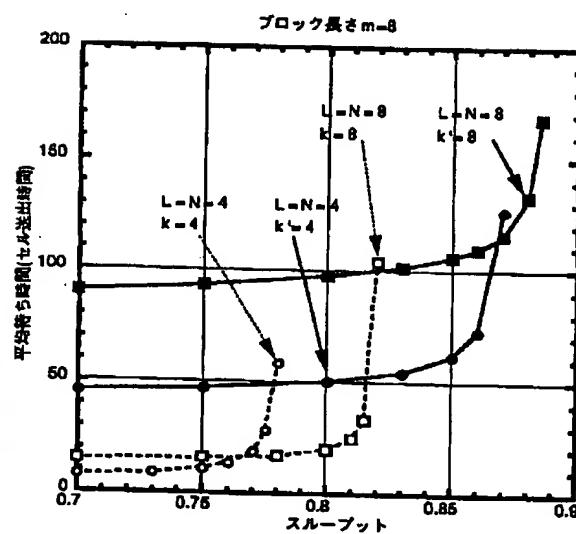
【図10】

セルおよびブロックの生成パターン



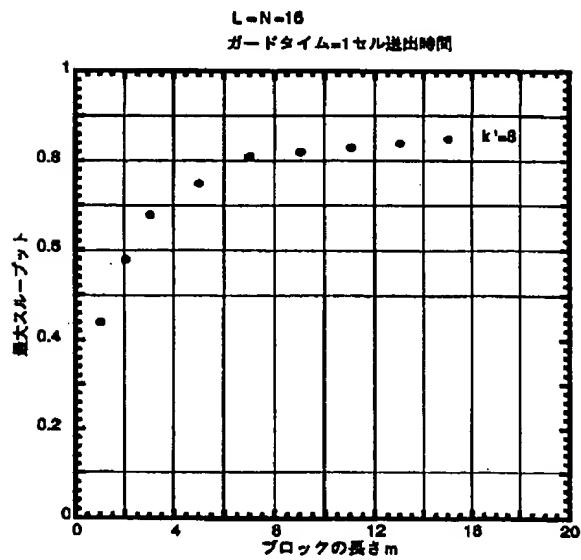
【図11】

ブロック化による検索範囲の低減

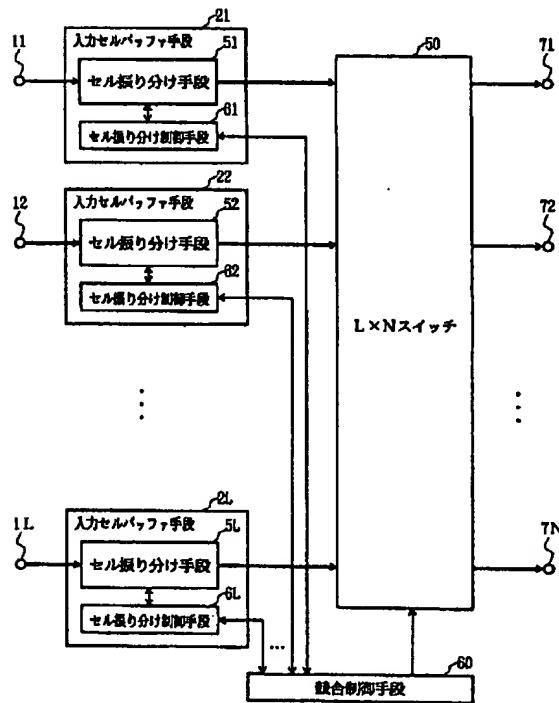


【図12】

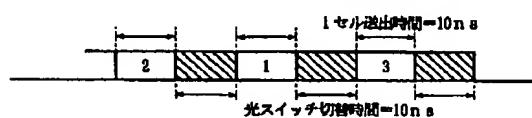
ブロック化によるガードタイムの影響低減



【図13】

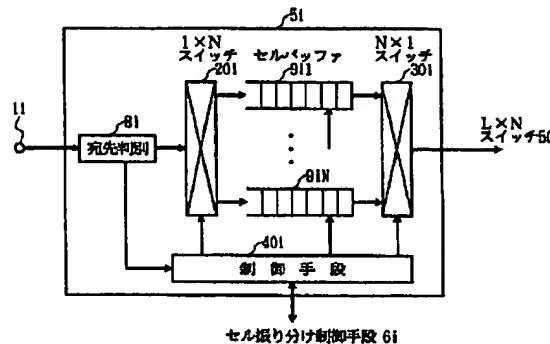
本発明による $L$ 入力 $N$ 出力セルスイッチの構成例

ガードタイム(光スイッチ切替時間等)の付与によるスループットの低下



【図14】

セル振り分け手段51の第2の構成例



【図15】

L入力N出力の入力バッファ型セルスイッチの基本構成

